

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.


Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

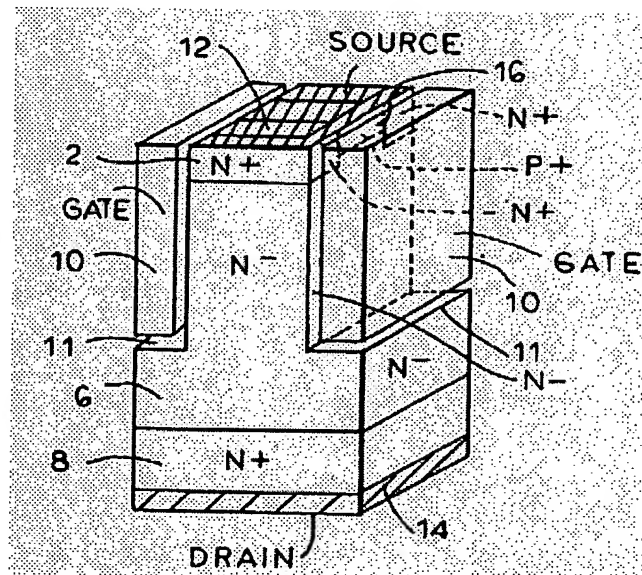
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent number: FR2725308
Publication date: 1996-04-05
Inventor: AJIT JANARDHANAN S
Applicant: INT RECTIFIER CORP (US)
Classification:
- international: H01L29/78
- european: H01L29/06D3B2, H01L29/08E2, H01L29/739B, H01L29/772B, H01L29/78, H01L29/78C, H01L29/78E2
Application number: FR19950010011 19950823
Priority number(s): US19940298462 19940830



US5581100 (A1)
JP8107204 (A)
ITM1951820 (A)
GB2292835 (A)
DE19530109 (A1)

A vertical trench power MOS transistor with low on-resistance is obtained by eliminating the inversion region of a conventional structure. In one embodiment, a deep-depletion region is formed between the trench gates to provide forward blocking capability. In another embodiment, forward blocking is achieved by depletion from the trench gates and a junction depletion from a P diffusion between the gates. Both embodiments are preferably fabricated in a cellular geometry. The device may also be provided in a horizontal conduction configuration in which the MOS gate is disposed on the upper surface of the semiconductor wafer over the deep-depletion region.



①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 725 308

②1 N° d'enregistrement national :

95 10011

⑤1 Int Cl^o : H 01 L 29/78

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 23.08.95.

③0 Priorité : 30.08.94 US 298462.

④3 Date de la mise à disposition du public de la
demande : 05.04.96 Bulletin 96/14.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : INTERNATIONAL RECTIFIER
CORPORATION — US.

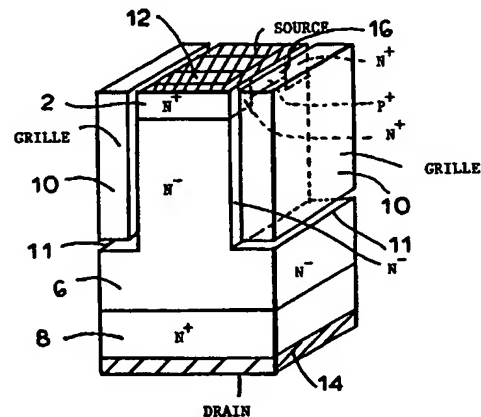
⑦2 Inventeur(s) : AJIT JANARDHANAN S.

⑦3 Titulaire(s) :

⑦4 Mandataire : CABINET FEDIT LORIOT.

⑤4 MOSFET A DEPLETION EN TRANCHES.

⑤7 La présente invention concerne un transistor MOS de puissance en tranches verticales avec une résistance à l'état passant faible est obtenu en éliminant la région d'inversion d'une structure conventionnelle. Dans un mode de réalisation, une région de déplétion profonde est formée entre les grilles (10) de tranches pour fournir une capacité de blocage en direct. Dans un autre mode de réalisation, le blocage en direct est atteint par déplétion à partir des grilles (10) de tranches et par une déplétion de la jonction à partir d'une diffusion P entre les grilles (10). Les deux modes de réalisation sont, de préférence, fabriqués dans une géométrie cellulaire. Le dispositif peut aussi être prévu dans une configuration de conduction horizontale dans laquelle la grille (10) de MOS est placée sur la surface supérieure de la pastille semi-conductrice sur la région de déplétion profonde.



FR 2 725 308 - A1



MOSFET A DEPLETION EN TRANCHES

La présente invention concerne des transistors MOSFET de puissance élevée et, plus particulièrement, des transistors MOSFET de puissance élevée, de résistance à l'état passant faible, employant une
5 structure de grille de MOS en tranches.

Pour optimiser la charge nominale efficace de tout dispositif de puissance à semi-conducteur, il est essentiel de maximiser la densité de foisonnement. Il
10 est devenu évident, à la fois expérimentalement et analytiquement, que les limites physiques des dispositifs restreignent les perfectionnements supplémentaires en matière de densité de foisonnement, et donc en matière de performance des MOSFET, utilisant
15 un canal de surface formé par le procédé de double diffusion à alignement automatique, communément connu comme DMOS.

Une amélioration de la densité de foisonnement peut être atteinte en utilisant une structure de grille MOS en tranches plutôt qu'une structure DMOS standard. L'absence d'effet de pincement du JFET dans une
5 structure de grille en tranches entraîne aussi une résistance à l'état passant considérablement plus faible comparé à une structure DMOS. La faible résistance à l'état passant est particulièrement importante quand les MOSFET sont utilisés dans des
10 applications électroniques de puissance de fréquence basse, telles que l'électronique automobile.

Un MOSFET de puissance en tranches conventionnel est montré en figure 1. Le dispositif comprend une région de source N^+ 2, une région de base P ou région
15 de canal 4, une région N^- 6 et une région N^+ 8. Une grille de polysilicium 10 est formée en tranches sur les deux côtés de la base P 4 et séparée de celle-ci par une mince couche d'oxyde 11. Une électrode de source 12 sur la surface supérieure du dispositif
20 recouvre la région de source 2. Une électrode de drain 14 sur la surface de fond du dispositif recouvre la région N^+ 8.

Le fonctionnement du dispositif de la figure 1 est comme suit. Avec l'électrode de drain 14 positive par
25 rapport à l'électrode de source 12, le courant circule

vers le haut à travers le dispositif quand un potentiel positif est appliqué à la grille 10. Le potentiel positif sur la grille 10 inverse la base P 4, formant un canal n à travers celle-ci, permettant au courant de
5 circuler du drain vers la source.

Tandis que le MOSFET de puissance en tranches de la figure 1 présente des avantages significatifs par rapport à un transistor DMOS en termes de densité de foisonnement, l'inclusion d'une base P dans la
10 structure contribue, de manière indésirable, à la résistance à l'état passant, à cause de la résistance du canal quand le canal p est inversé. Ceci fixe une limite à la quantité dont la résistance à l'état passant peut être réduite dans un dispositif DMOS.

15 En outre, le MOSFET de puissance en tranches conventionnel montré en figure 1, a une jonction P-N parasite, qui présente un problème pendant le redressement synchrone.

Un type d'amélioration de structure pour un MOSFET
20 de puissance en tranches est montré en figure 2, dans lequel les éléments semblables sont indiqués par des numéros de référence semblables. Ce dispositif, décrit par B. Baliga, "The Accumulation-Mode Field-Effect Transistor : A New Ultralow On-Resistance MOSFET", IEEE
25 Electron Device Letters, Vol. 13, N° 8, août 1992, pp.

427 à 429, ne contient pas une région de base P, et par conséquent, n'a pas de jonction P-N entre les régions de source et de drain. Contrairement au MOSFET de puissance en tranches à déplétion montré en figure 1, la conduction de courant dans le dispositif de la figure 2 se produit le long de la surface d'une couche d'accumulation formée le long des parois latérales des tranches, résultant en une résistance à l'état passant beaucoup plus faible. En outre, dans le dispositif de la figure 2, un dopage de région à concentration de base variant progressivement au-dessous de $1 \times 10^{14} \text{ cm}^{-3}$ peut être utilisé, tandis qu'un dopage de région à concentration de base variant progressivement optimal de $2 \times 10^{16} \text{ cm}^{-3}$ est nécessaire pour le MOSFET de puissance en tranches de la figure 1.

De plus, de manière avantageuse, la structure de la figure 2 ne contient pas de jonction parasite P-N.

Afin de commuter à l'état bloqué le dispositif de la figure 2, un potentiel est appliqué à la grille pour inverser la région N⁻. Cependant, dans le dispositif de la figure 2, la largeur de la déplétion à cause de la grille de MOS est limitée par la formation d'une couche d'inversion de trous dans la région à concentration de base variant progressivement N⁻. Ceci limite la capacité de blocage en direct du dispositif.

La présente invention est un MOSFET de puissance en tranches avec une structure unique qui surmonte les déficiences, notées ci-dessus, de l'art antérieur.

De manière avantageuse, la présente invention, 5
comme le MOSFET de puissance en tranches de la figure 2, n'a pas une région de base P et, donc, n'a pas de jonction P-N. Ainsi, le MOSFET de puissance en tranches de la présente invention est formé dans une pastille de matériau semi-conducteur ayant des première et seconde 10
surfaces (c'est-à-dire supérieure et inférieure) semi-conductrices opposées, la pastille de matériau semi-conducteur comprenant une région relativement légèrement dopée d'un premier type de conductibilité, de préférence N⁻, une pluralité de tranches étroites, 15
espacées, formées perpendiculairement dans la pastille et s'étendant depuis la surface supérieure de la pastille, au moins une portion de la région N⁻ placée entre les tranches provenant de la surface semi-conductrice supérieure.

20 Des grilles de polysilicium sont placées dans les tranches et espacées de la portion intervenante de la région N⁻ par une couche de matériau d'isolation de grille. Une première région relativement hautement dopée du premier type de conductibilité, c'est-à-dire

N^+ , est placée entre la surface semi-conductrice supérieure et la région N^- et contiguë à celles-ci.

La présente invention constitue une amélioration par rapport au dispositif de l'art antérieur de la figure 2, cependant, par l'inclusion, dans un premier mode de réalisation, d'une région P^+ formée dans la pastille et s'étendant depuis la surface supérieure de la pastille à une position contiguë à la région supérieure N^+ , et au moins partiellement co-extensive avec cette région, c'est-à-dire avec la région de source. Lors de l'application d'une tension négative de grille pour commuter le dispositif à l'état bloqué, la région P^+ ajoutée forme un drain pour les trous générés dans la région N^- . Ainsi, aussitôt que les trous sont formés, ils sont entraînés vers la région P^+ par le champ électrique, par l'intermédiaire d'un MOSFET à canal p en tranches. Cet effet est désigné ci-après par "déplétion profonde".

La déplétion profonde pince très efficacement la région N^- entre les grilles de MOS en tranches, formant une barrière de potentiel au flux d'électrons et améliorant beaucoup la capacité de blocage en direct du dispositif. Contrairement à la structure de l'art antérieur de la figure 2, la largeur de déplétion à cause de la grille de MOS n'est pas limitée par la

formation d'une couche d'inversion de trous. Ceci permet aux grilles en tranches dans la structure de la présente invention d'être espacées plus loin les unes des autres, améliore la tension de claquage, réduit le courant de fuite et simplifie la fabrication.

Dans l'état passant, avec une tension positive sur la grille, la conduction de courant, comme dans le dispositif de l'art antérieur de la figure 2, est faite essentiellement à travers une couche d'accumulation formée sur la surface de silicium sur le côté de la tranche. Etant donné que la mobilité efficace des électrons dans la région d'accumulation est plus élevée que celle à travers la région d'inversion, la résistance à l'état passant du dispositif de la présente invention, comme le dispositif de l'art antérieur de la figure 2, est encore plus faible que le MOSFET de puissance en tranches conventionnel.

Dans un second mode de réalisation de l'invention, une diffusion P^+ est formée centralement dans la région N^+ entre les grilles. La diffusion P^+ provoque le pincement de la portion de la région N^- entre la diffusion P^+ et la grille de MOS (c'est-à-dire une action de JFET) avec un potentiel négatif appliqué à la grille.

Encore dans un autre mode de réalisation de l'invention, une région P^+ est formée à la fois à la surface supérieure du dispositif, espacée de la source N^+ (comme dans le premier mode de réalisation), et
5 formée centralement dans la région N^+ entre les grilles (comme dans le second mode de réalisation de l'invention).

De préférence, la présente invention comprend de plus, une région N^+ entre la surface semi-conductrice
10 inférieure et la région N^- et contiguë à celles-ci (dans un mode de réalisation de MOSFET) ou une région P^+ entre la surface semi-conductrice inférieure du dispositif et la région N^- et contiguë à celles-ci, formant de ce fait une structure consistant en une
15 diode PN en série avec un MOSFET en tranches (c'est-à-dire un mode de réalisation d'IGBT).

De manière avantageuse, tous les modes de réalisation de l'invention peuvent être réalisés selon une géométrie cellulaire avec des tranches en forme
20 d'anneau espacées les unes des autres sur la surface du silicium. En outre, dans tous les modes de réalisation, le chevauchement entre la région N^- et la grille peut être modifié pour optimiser la performance soit de tension de claquage, soit de résistance à l'état
25 passant, du dispositif.

La présente invention peut aussi être prévue dans une configuration à conduction horizontale, auquel cas la grille est placée sur la surface supérieure du dispositif sur la région à concentration de base variant progressivement N^- , plutôt qu'en tranches.

D'autres caractéristiques et avantages de la présente invention apparaîtront à partir de la description suivante de l'invention qui fait référence aux dessins joints.

10 La figure 1 montre la configuration d'un MOSFET de puissance en tranches, de type à déplétion, de l'art antérieur.

La figure 2 montre la configuration d'un MOSFET de puissance en tranches, de type amélioré, de l'art antérieur.

La figure 3 montre un premier mode de réalisation de la présente invention avec une région de drain P^+ ajoutée s'étendant depuis la surface supérieure du dispositif de type amélioré ; la figure 3a montre une coupe des cellules multiples du premier mode de réalisation de la présente invention ; la figure 3b montre une vue de dessus des cellules multiples du premier mode de réalisation de la présente invention.

La figure 4 montre un second mode de réalisation de la présente invention avec une région P^+ diffusée à

partir de la surface supérieure de la pastille centralement à travers la région de source N^+ et dans la région à concentration de base variant progressivement N^- entre les grilles en tranches.

5 La figure 5 montre un mode de réalisation combiné de l'invention, prévu avec les régions P^+ de la figure 3 et de la figure 4 ; la figure 5a montre une autre configuration de la figure 5 avec la région centrale P^+ s'étendant jusqu'à la région de drain N^+ .

10 Les figures 6 et 7 montrent une autre configuration correspondant aux modes de réalisation des figures 3 et 4, respectivement, qui a une région à concentration de base variant progressivement N^- plus superficielle et donc une résistance à l'état passant plus faible,
15 mais aussi une tension de claquage inférieure.

Les figures 8 et 9 montrent une autre configuration correspondant de nouveau aux modes de réalisation des figures 3 et 4, respectivement, avec une même région à concentration de base variant progressivement N^- plus
20 superficielle que le mode de réalisation des figures 6 et 7.

Les figures 10, 11 et 12 montrent une vue de dessus d'une configuration préférée en cellules hexagonales pour les modes de réalisation des figures 3, 4 et 5,
25 respectivement.

Les figures 13 à 15 montrent de plus un mode de réalisation d'IGBT de l'invention dans lequel la région N^+ à la surface inférieure du dispositif est remplacée par une région P^+ .

5 La figure 16 montre un mode de réalisation à conduction horizontale de l'invention.

Un premier mode de réalisation du nouveau MOSFET de puissance en tranches de la présente invention est montré en figure 3.

10 Comme montré ici, la présente invention a une structure similaire au dispositif de l'art antérieur de la figure 2, mais comprend de plus une région P^+ 16 formée dans la pastille et s'étendant depuis la surface supérieure de la pastille (couverte par l'électrode de source 12)
15 contiguë à la région de source N^+ 2.

Comme montré par la flèche en figure 3, quand le dispositif est dans l'état bloqué (état de blocage en direct), avec un potentiel négatif appliqué à la grille 10, la région P^+ 16 entraîne, de manière avantageuse,
20 les trous formés dans la région N^- 6 par l'intermédiaire d'un MOSFET de canal p en tranches dans lequel la région P^+ 16 agit comme le "drain", l'électrode de grille 10 est la "grille", la région N^- 6 est le "canal" (inversé par la grille) et les trous
25 formés par l'inversion de la région N^- 6 sont la

"source". La région P^+ 16 agit donc comme un drain pour les trous, aboutissant aux avantages suivants :

Premièrement, la région de drain P^+ 16 empêche la formation d'une couche d'inversion de trous quand le dispositif est dans l'état bloqué et surmonte ainsi une limitation fondamentale des performances du dispositif de l'art antérieur de la figure 2, à savoir une limitation de la profondeur de déplétion contiguë à la grille. Ainsi, la région de drain P^+ 16 de la présente invention provoque une déplétion accrue ("déplétion profonde") contiguë à la grille dans l'état bloqué. Ceci accroît la barrière de potentiel pour le flux d'électrons entre la source 12 et le drain 14 dans l'état bloqué, qui conduit à un courant de fuite réduit et à une tension de claquage plus élevée.

Deuxièmement, l'élimination d'une couche d'inversion de trous dans la présente invention élimine le courant de fuite à effet de tunnel bande-à-bande, qui est un mécanisme de fuite significatif dans les dispositifs VLSI, comprenant le dispositif de la figure 2.

Le mode de réalisation de la présente invention montré en figure 3 a été simulé avec les paramètres montrés dans le tableau suivant :

PARAMETRE	VALEUR
Ecartement des cellules (voir figure 3b)	3 μM
Dopage de la région à concentration de base variant progressivement N-	$1 \times 10^{14} \text{ cm}^{-3}$
Profondeur des tranches	4 μM
Largeur des tranches	2 μM
Distance entre les tranches (voir figure 3b)	1 μM
Epaisseur d'oxyde de la grille	500 Å
Fenêtre de contact de métal de source	0,8 μM
Concentration de surface P+	$1 \times 10^{20} \text{ cm}^{-3}$
Profondeur de jonction P+	0,3 μM
Concentration de surface de source N+	$1 \times 10^{12} \text{ cm}^{-3}$
Profondeur de jonction de source N+	0,7 μM

Les résultats de la simulation utilisant les paramètres précédents ont montré une tension de blocage en direct qui dépasse 60 V. La résistance à l'état passant R_{ON} trouvée était de $0,076 \text{ m}\Omega\text{-cm}^2$, ce qui est considérablement plus faible que la résistance à l'état passant des MOSFET de puissance en tranches conventionnels. Des caractéristiques totalement commandées par la grille et une tension de seuil de

0,8 V ont été obtenues. Les calculs théoriques de R_{ON} en utilisant les divers composantes de résistance à l'état passant cadrent étroitement avec ces résultats.

Se référant maintenant à la figure 4, un second
5 mode de réalisation de la présente invention est montré, dans lequel une région P^+ 18 est diffusée depuis la surface supérieure de la pastille centralement à travers la région de source N^+ 2 et dans la région à concentration de base variant
10 progressivement N^- 6. Dans ce mode de réalisation, le blocage en direct est réalisé par la déplétion à partir de la grille de MOS 10 et une déplétion de jonction (action du JFET) à partir de la diffusion P^+ 18.

En option, comme montré en figure 5, la présente
15 invention peut être prévue dans un mode de réalisation avec, à la fois, la région de drain P^+ 16 et la diffusion P^+ 18, et avec les avantages qui accompagnent chacune d'elle. La figure 5a montre une autre configuration de la figure 5 avec la région centrale P^+
20 18 s'étendant jusqu'à la région N^+ 8.

Les figures 6 et 7 montrent une autre configuration correspondant aux modes de réalisation des figures 3 et 4, respectivement, qui a une région à concentration de base variant progressivement N^- 6 plus superficielle et
25 donc une résistance à l'état passant inférieure, mais

aussi une tension de claquage inférieure. Les figures 8 et 9 montrent une autre configuration correspondant de nouveau aux modes de réalisation des figures 3 et 4, respectivement, avec une même région à concentration de base variant progressivement N^- 6 plus superficielle que le mode de réalisation des figures 6 et 7. Le mode de réalisation des figures 8 et 9 a la résistance à l'état passant la plus faible, mais ne peut être utilisé que dans des applications de tension basse à cause de sa tension de claquage relativement faible.

De manière avantageuse, la présente invention peut être prévue dans une topologie cellulaire. Par exemple, les figures 3a et 3b montrent une coupe transversale et une vue de dessus, respectivement, des cellules multiples du mode de réalisation de la figure 3.

D'une autre manière et de préférence, chacune des cellules d'unité peut être prévue dans une configuration polygonale. Les figures 10, 11 et 12 montrent la vue de dessus d'une configuration préférée de cellules hexagonales pour les modes de réalisation des figures 3, 4 et 5, respectivement.

Les figures 13 à 15 montrent encore un autre mode de réalisation de l'invention dans lequel la région N^+ 8 est remplacée par une région P^+ 20. Ainsi, comme montré en figure 13, la structure de la figure 2 de

l'art antérieur peut être modifiée pour former une jonction PN en série avec un transistor en tranches, créant ainsi un dispositif d'IGBT. De la même manière, les figures 14 et 15 montrent la configuration d'IGBT
5 correspondant aux modes de réalisation des figures 3 et 4, respectivement.

Bien que non montré, le mode de réalisation combiné de l'invention montrée en figure 5 peut être prévu de manière similaire dans une configuration d'IGBT. De la
10 même manière, les configurations d'IGBT peuvent être réalisées dans une topologie cellulaire (correspondant aux figures 10 à 12) et/ou avec les régions à concentration de base variant progressivement N- 6 plus superficielles montrées en figures 6 à 9 pour améliorer
15 la résistance à l'état passant dans des applications de tension basse.

La figure 16 montre un mode de réalisation à conduction horizontale de l'invention, dans lequel le dispositif est formé sur un substrat P⁺ 22. Dans l'état
20 passant, le courant circule depuis la région de drain N⁺ 24, à travers la région à concentration de base variant progressivement N⁺ 26, vers la région de source N⁺ 28. Comme dans le mode de réalisation à conduction verticale correspondant de la figure 3, une région de
25 drain P⁺ 30 est formée dans la pastille semi-

conductrice et s'étend à l'intérieur de la pastille depuis sa surface supérieure à une position contiguë à la région de source N^+ 28. Une grille de MOS 32 recouvre la région à concentration de base variant progressivement N^- 26.

Lors de l'application d'une tension négative à la grille de MOS 32, la région P^+ 30 forme un drain pour les trous générés dans la région à concentration de base variant progressivement N^- 26. Ainsi, de nouveau, aussitôt que les trous sont formés, ils sont entraînés vers la région P^+ 30 par le champ électrique, par l'intermédiaire d'un MOSFET latéral de canal p, résultant en une "déplétion profonde" de la région à concentration de base variant progressivement N^- 26.

Evidemment, de nombreuses autres variantes de la présente invention sont possibles. Par exemple, dans tous les modes de réalisation décrits précédemment, les polarités de dopage des régions et les tensions appliquées pourraient être inversées, de sorte que le courant circulerait dans la direction opposée.

Ainsi, bien que la présente invention ait été décrite par rapport à ses modes de réalisation particuliers, de nombreuses autres variantes et modifications et d'autres utilisations apparaîtront aux spécialistes dans l'art. On préfère, donc, que la

présente invention ne soit pas limitée par cette description spécifique, mais seulement par les revendications jointes.

Bien entendu, l'invention n'est pas limitée aux
5 exemples de réalisation ci-dessus décrits et représentés, à partir desquels on pourra prévoir d'autres modes et d'autres formes de réalisation, sans pour autant sortir du cadre de l'invention.

REVENDEICATIONS

1. Dispositif de transistor à effet de champ à semi-conducteur à grille (10) isolée par oxyde métallique en tranches de puissance élevée montrant une résistance à l'état passant relativement faible et une
5 tension de claquage relativement élevée, ledit dispositif comprenant :

une pastille de matériau semi-conducteur ayant des première et seconde surfaces semi-conductrices opposées, ladite pastille de matériau semi-conducteur
10 comprenant une région relativement légèrement dopée d'un premier type de conductibilité, une pluralité de tranches étroites, espacées, formées perpendiculairement dans ladite pastille et s'étendant depuis ladite première surface semi-conductrice, au
15 moins une portion de ladite région relativement légèrement dopée étant placée entre lesdites tranches ;

des moyens formant électrode de grille (10) placés dans lesdites tranches et espacés de ladite portion de ladite région relativement légèrement dopée par une couche de matériau d'isolation de grille (10) ;

5 une première région relativement hautement dopée, dudit premier type de conductibilité, placée entre et contiguë à ladite première surface semi-conductrice et à ladite région relativement légèrement dopée ; et

10 une première région d'un second type de conductibilité opposé audit premier type de conductibilité, ladite première région dudit second type de conductibilité étant formée dans ladite pastille et s'étendant depuis ladite première surface semi-conductrice contiguë à ladite première région
15 relativement hautement dopée dudit premier type de conductibilité, ladite première région dudit second type de conductibilité formant un drain pour les porteurs dudit second type de conductibilité dans ladite portion de ladite région relativement légèrement
20 dopée dudit premier type de conductibilité entre lesdites grilles pour créer une région de déplétion profonde à l'intérieur et pour fournir une capacité de blocage en direct améliorée pour le dispositif quand une tension est appliquée auxdits moyens formant

électrode de grille (10) pour commuter le dispositif à l'état bloqué.

2. Dispositif selon la revendication 1, comprenant de plus une seconde région dudit second type de conductibilité opposé audit premier type de conductibilité, formée dans ladite pastille entre lesdites tranches et s'étendant depuis ladite première surface semi-conductrice à travers ladite première région relativement hautement dopée dudit premier type de conductibilité et à travers au moins une partie de ladite région relativement légèrement dopée dudit premier type de conductibilité, ladite seconde région dudit second type de conductibilité étant espacée desdites tranches sur ses côtés opposés par ladite première région relativement hautement dopée dudit premier type de conductibilité et par ladite partie de ladite région relativement légèrement dopée dudit premier type de conductibilité à travers laquelle ladite seconde région dudit second type de conductibilité s'étend ;

caractérisé en ce que, quand ladite tension est appliquée auxdits moyens formant électrode de grille (10) pour commuter le dispositif à l'état bloqué, les porteurs dudit premier type de conductibilité générés dans ladite portion de ladite région relativement

légèrement dopée dudit premier type de conductibilité entre lesdites grilles (10) sont réduits de ladite région relativement légèrement dopée dudit premier type de conductibilité entre lesdits moyens formant 5 électrode de grille (10) par l'action de déplétion de la grille (10) et de déplétion de la jonction pour améliorer davantage la capacité de blocage en direct du dispositif.

3. Dispositif selon la revendication 1, caractérisé 10 en ce que :

lesdites tranches s'étendent chacune dans une première direction longitudinale parallèle auxdites première et seconde surfaces semi-conductrices ;

lesdits moyens formant électrode de grille (10) 15 placés dans lesdites tranches ont des faces longitudinales respectives s'étendant dans ladite première direction longitudinale ; et

ladite première région dudit second type de conductibilité s'étend dans une seconde direction 20 longitudinale perpendiculaire à ladite première direction longitudinale.

4. Dispositif selon la revendication 3, caractérisé en ce que :

lesdites tranches s'étendent chacune dans une première direction longitudinale parallèle auxdites première et seconde surfaces semi-conductrices ;

lesdits premiers moyens formant électrode de grille
5 (10) placés dans lesdites tranches ont des faces longitudinales respectives s'étendant dans ladite première direction longitudinale ;

ladite première région dudit second type de conductibilité s'étend dans une seconde direction
10 longitudinale perpendiculaire à ladite première direction longitudinale ; et

ladite seconde région dudit second type de conductibilité s'étend longitudinalement dans ladite première direction longitudinale.

15 5. Dispositif de transistor à effet de champ à semi-conducteur à grille (10) isolée par oxyde métallique en tranches de puissance élevée montrant une résistance à l'état passant relativement faible et une tension de claquage relativement élevée, ledit
20 dispositif comprenant :

une pastille de matériau semi-conducteur ayant des première et seconde surfaces semi-conductrices opposées, ladite pastille de matériau semi-conducteur comprenant une région relativement légèrement dopée
25 d'un premier type de conductibilité, une pluralité de

tranches étroites espacées formées perpendiculairement dans ladite pastille et s'étendant depuis ladite première surface semi-conductrice, au moins une portion de ladite région relativement légèrement dopée étant placée entre lesdites tranches ;

des moyens formant électrode de grille (10) placés dans lesdites tranches et espacés de ladite portion de ladite région relativement légèrement dopée par une couche de matériau d'isolation de grille (10) ;

10 une première région relativement hautement dopée dudit premier type de conductibilité placée entre ladite première surface semi-conductrice et ladite région relativement légèrement dopée et contiguë à celles-ci ; et

15 une première région d'un second type de conductibilité opposé audit premier type de conductibilité, formée dans ladite pastille entre lesdites tranches et s'étendant depuis ladite première surface semi-conductrice à travers ladite première 20 région relativement hautement dopée dudit premier type de conductibilité et à travers au moins une partie de ladite région relativement légèrement dopée dudit premier type de conductibilité, ladite première région dudit second type de conductibilité étant espacée 25 desdites tranches sur ses côtés opposés par ladite

première région relativement hautement dopée dudit premier type de conductibilité et par ladite partie de ladite région relativement légèrement dopée dudit premier type de conductibilité à travers laquelle
5 ladite première région dudit second type de conductibilité s'étend, ladite première région d'un second type de conductibilité réduisant les porteurs dudit premier type de conductibilité provenant de ladite région relativement légèrement dopée dudit
10 premier type de conductibilité entre lesdites grilles (10) par l'action de déplétion de la grille et de déplétion de la jonction pour fournir capacité de blocage en direct améliorée pour le dispositif quand une tension est appliquée auxdits moyens formant
15 électrode de grille (10) pour commuter le dispositif à l'état bloqué.

6. Dispositif selon la revendication 5, caractérisé en ce que :

lesdites tranches s'étendent chacune dans une
20 première direction longitudinale parallèle auxdites première et seconde surfaces semi-conductrices ;

lesdits moyens formant électrode de grille (10) placés dans lesdites tranches ont des faces longitudinales respectives s'étendant dans ladite
25 première direction longitudinale ; et

ladite première région dudit second type de conductibilité s'étend longitudinalement dans ladite première direction longitudinale.

7. Dispositif selon la revendication 1, 2, ou 5, caractérisé en ce que ladite région relativement légèrement dopée dudit premier type de conductibilité s'étend latéralement et sous lesdites tranches.

8. Dispositif selon la revendication 1, 2, ou 5 comprenant de plus une seconde région relativement hautement dopée dudit premier type de conductibilité placée entre ladite seconde surface semi-conductrice et ladite région relativement légèrement dopée dudit premier type de conductibilité et contiguë à celles-ci.

9. Dispositif selon la revendication 8, caractérisé en ce que ladite seconde région relativement hautement dopée dudit premier type de conductibilité s'étend vers le haut depuis ladite seconde surface semi-conductrice et entre lesdites tranches.

10. Dispositif selon la revendication 1, 2, ou 5 comprenant de plus une première région relativement hautement dopée dudit second type de conductibilité placée entre ladite seconde surface semi-conductrice et ladite région relativement légèrement dopée dudit premier type de conductibilité et contiguë à celles-ci.

11. Dispositif selon la revendication 1, 2, ou 5, caractérisé en ce que ledit dispositif est prévu dans une topologie cellulaire comprenant une pluralité de cellules polygonales reliées en parallèle.

5 12. Dispositif de transistor à effet de champ à semi-conducteur à grille (10) isolée par oxyde métallique en tranches de puissance élevée montrant une résistance à l'état passant relativement faible et une tension de claquage relativement élevée, ledit
10 dispositif comprenant :

une pastille de matériau semi-conducteur ayant des première et seconde surfaces semi-conductrices opposées ;

15 une région relativement légèrement dopée d'un premier type de conductibilité formée dans ladite pastille et s'étendant depuis ladite première surface semi-conductrice vers une portion de substrat de ladite pastille, ladite portion de substrat comprenant une région d'un second type de conductibilité ;

20 des moyens d'isolation de grille (10) sur ladite première surface semi-conductrice et placés au moins sur ladite région relativement légèrement dopée dudit premier type de conductibilité ;

des moyens formant électrode de grille (10) placés
25 sur lesdits moyens d'isolation de grille (10) ;

une région de drain relativement hautement dopée dudit premier type de conductibilité formée dans ladite pastille et s'étendant depuis ladite première surface semi-conductrice vers ladite portion de substrat de ladite pastille, ladite région de drain étant placée latéralement et contiguë à ladite région relativement légèrement dopée de ladite première conductibilité sur un premier côté de celle-ci ;

une région de source relativement hautement dopée dudit premier type de conductibilité formée dans ladite pastille et s'étendant depuis ladite première surface semi-conductrice vers ladite portion de substrat de ladite pastille, ladite région de source étant placée latéralement et contiguë à ladite région relativement légèrement dopée de ladite première conductibilité sur un second côté de celle-ci opposé audit premier côté ;
et

une première région d'un second type de conductibilité opposé audit premier type de conductibilité, ladite première région dudit second type de conductibilité étant formée dans ladite pastille et s'étendant depuis ladite première surface semi-conductrice contiguë et au moins partiellement co-extensive à ladite première région de source

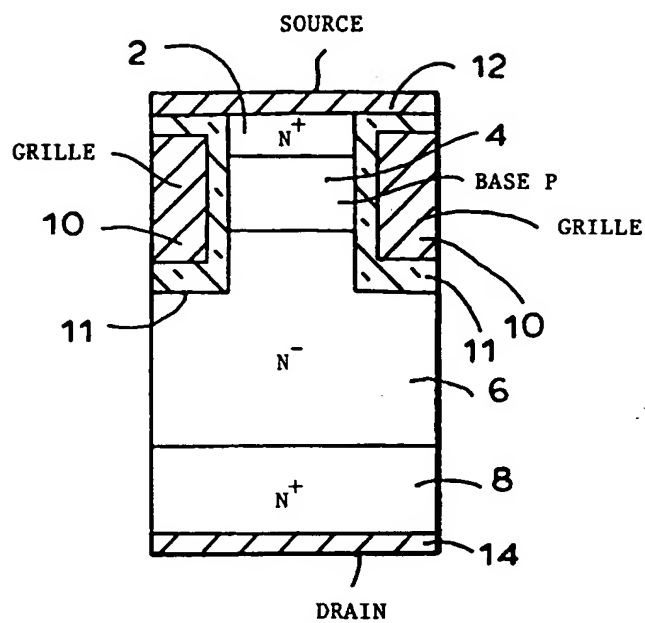
relativement hautement dopée dudit premier type de conductibilité ;

caractérisé en ce que, quand une tension ayant la même polarité que ledit premier type de conductibilité
5 est appliquée auxdits moyens formant électrode de grille (10), ladite première région dudit second type de conductibilité forme un drain pour lesdits porteurs dudit second type de conductibilité dans ladite portion de ladite région relativement légèrement dopée dudit
10 premier type de conductibilité sous lesdits moyens formant électrode de grille (10) pour créer une région de déplétion profonde à l'intérieur et pour fournir une capacité de blocage en direct améliorée pour le dispositif.

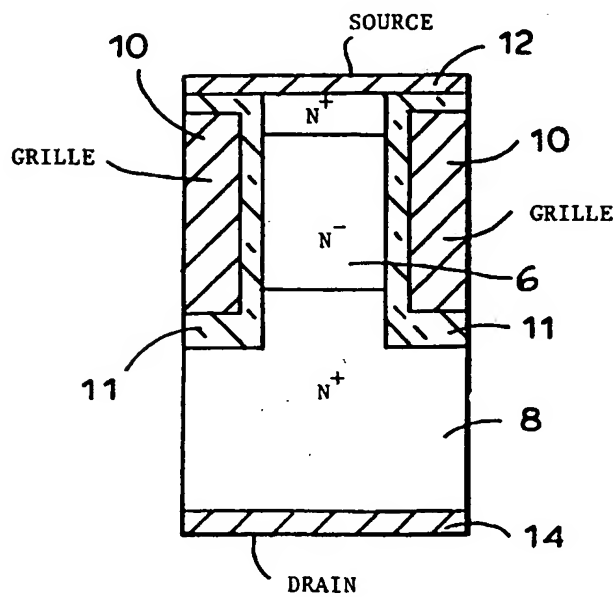
15 13. Dispositif selon la revendication 1, 2, 5, ou 12, caractérisé en ce que ledit premier type de conductibilité comprend le type N et ledit second type de conductibilité comprend le type P.

FIG. 1

ART ANTERIEUR

**FIG. 2**

ART ANTERIEUR



A 3D perspective view of a semiconductor device structure. The structure consists of a substrate (14) with a drain region (8, N⁺) and a channel region (6, N⁻). A gate stack (10) is formed on top of the channel region, with a gate dielectric (11) and a gate electrode (12). The gate electrode is connected to a source (16). The source is a region (16, N⁺) with a p⁺ layer (P⁺) on top. The source is connected to a drain (14, N⁺) through a channel region (10, N⁻). The structure is labeled with various regions and components: 2 (GRILLE), 6 (N⁻), 8 (N⁺), 10 (N⁻), 11, 12, 14 (DRAIN), 16 (SOURCE), and P⁺. The word "GRILLE" is also written on the right side of the diagram.

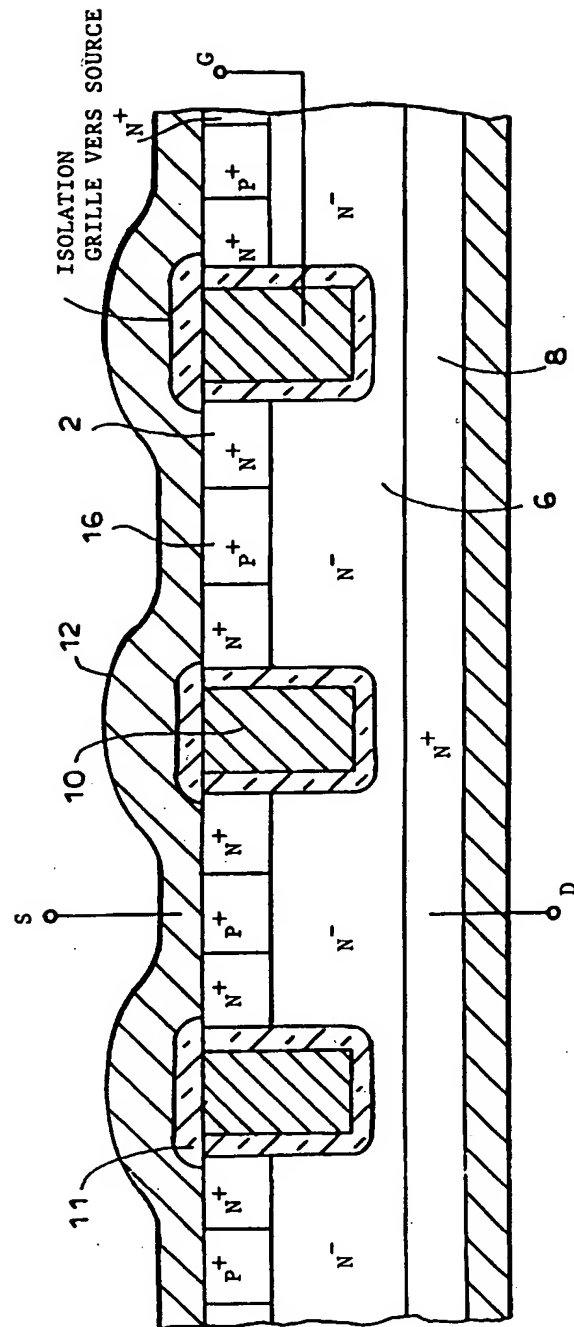
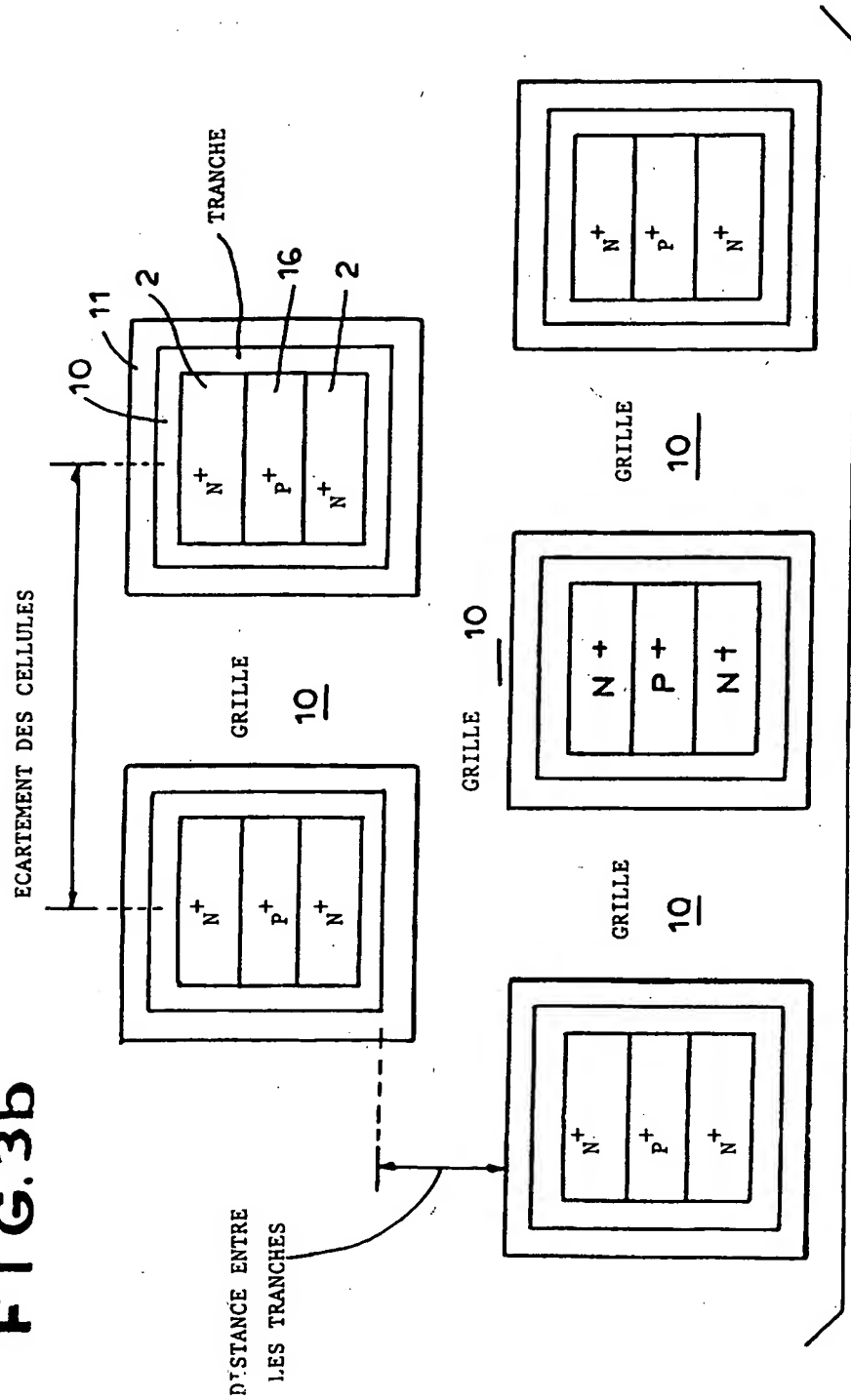


FIG. 3a

FIG. 3b



[illegible]

A 3D schematic diagram of a semiconductor device structure. The diagram shows a cross-section of a device with various layers and regions. The top surface is labeled "SOURCE" and "16". The bottom surface is labeled "DRAIN". The device is divided into two main vertical sections by a central vertical channel. The left section has a top layer labeled "18" and a bottom layer labeled "12". The right section has a top layer labeled "10" and a bottom layer labeled "8". The central channel is labeled "14". The device is surrounded by a "GRILLE" (10). The regions are labeled with semiconductor symbols: N^+N^+ , N^- , P^+ , N^+ , and N^+ . The diagram is numbered 1 through 18.

[illegible]

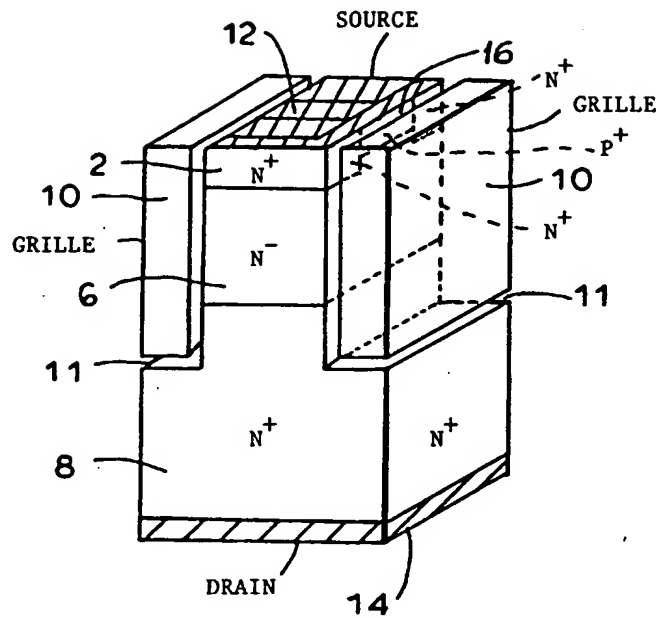
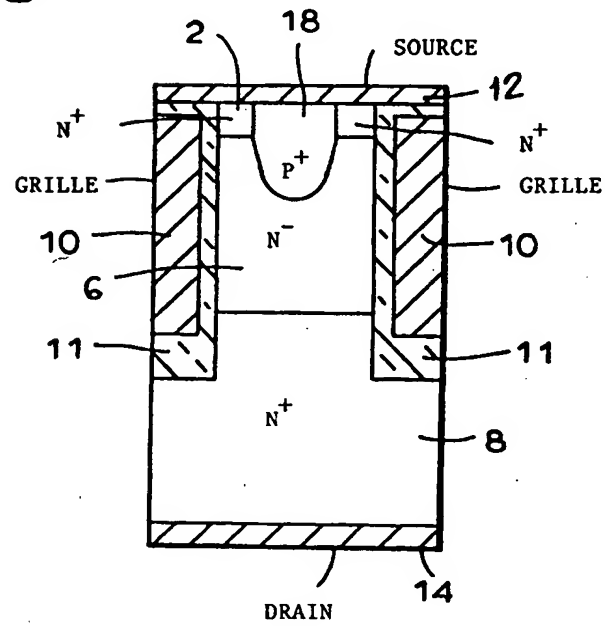
FIG. 8**FIG. 9**

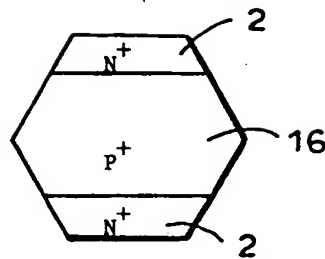
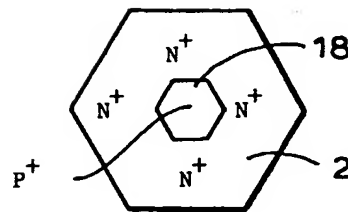
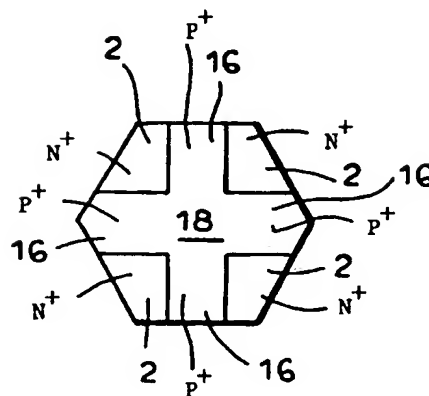
FIG. 10**FIG. 11****FIG. 12**

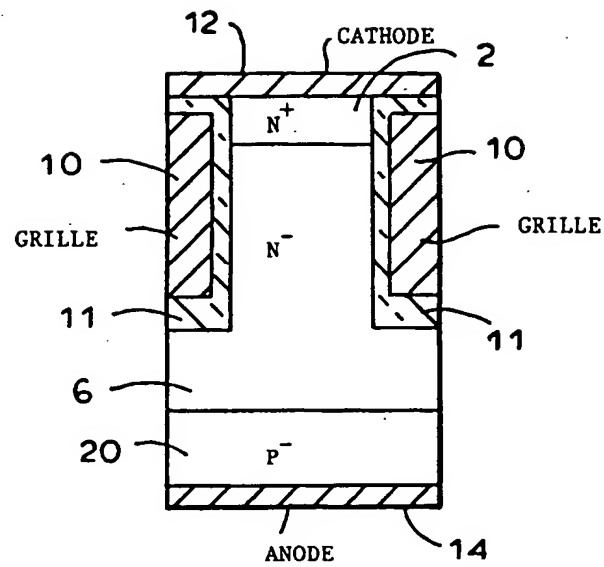
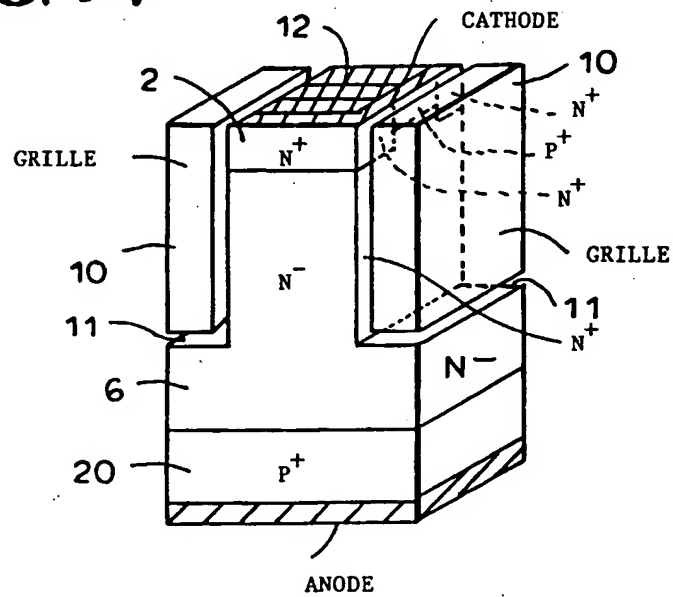
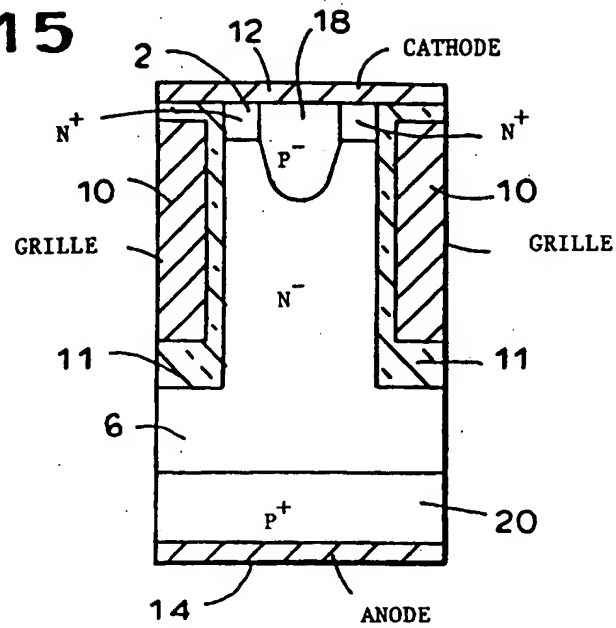
FIG. 13**FIG. 14**

FIG. 15**FIG. 16**